

## **Korean Patent Abstracts**

### **Document Code:**

Publication No.: 1999-55201  
Application No.: 1997-75113

Publication Date: July 15, 1999  
Application Date: December 27, 1997

### **Abstract**

There is provided a method for forming a capacitor including a high dielectric material in order to prevent a junction region from diffusing due to a high temperature of above 800° C during a RTN process for a bottom electrode of the capacitor. An oxidation blocking layer is formed between the bottom electrode and a dielectric film of Ta<sub>2</sub>O<sub>5</sub> at a low temperature of about 150 to about 500° C. A conductive film for the bottom electrode is formed on a predetermined underlying layer. A surface of the conductive film is treated using plasma generated from a gas including nitrogen at the temperature of about 150 to about 500° C. The dielectric film of Ta<sub>2</sub>O<sub>5</sub> is forming on the conductive film.

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/108	(11) 공개번호 특 1999-0055201 (43) 공개일자 1999년 07월 15일
(21) 출원번호 10-1997-0075113	
(22) 출원일자 1997년 12월 27일	
(71) 출원인 현대전자산업 주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1	
(72) 발명자 김경민 경기도 안양시 만안구 안양5동 708 현대아파트 101-1112 임찬 경기도 이천시 대월면 사동리 현대산업개발 5차아파트 502-1702 박기선 경기도 이천시 창전동 성환빌라 나동 303호	
(74) 대리인 박해천, 원석희	

심사청구 : 없음

(54) 반도체 장치의 고유전체 캐패시터 제조방법

**요약**

본 발명은 반도체 장치의 고유전체 캐패시터 제조 공정에 관한 것으로, 통상적인 하부전극의 RTN(Rapid Thermal Nitrification) 처리시 고온(800°C 이상)에 따른 접합 영역의 확산을 방지하기 위하여, 저온 공정(150°C ~ 500°C)을 통해 하부 전극과 Ta<sub>2</sub>O<sub>5</sub> 유전체막의 경계면에 산화방지막을 형성할 수 있는 고유전체 캐패시터 제조방법을 제공하는데 그 목적이 있다. 이를 위하여 본 발명으로부터 제공되는 특징적인 반도체 장치의 고유전체 캐패시터 제조방법은 소정의 하부층 상부에 하부 전극 형성을 위한 전도막을 형성하는 제1 단계; 150°C 내지 500°C의 온도에서 질소를 포함하는 가스를 사용하여 상기 전도막의 표면을 플라즈마 처리하는 제2 단계; 및 상기 전도막 상부에 유전체로서 Ta<sub>2</sub>O<sub>5</sub>막을 형성하는 제3 단계를 포함하여 이루어진다.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 제조 분야에 관한 것으로, 특히 반도체 장치의 고유전체 캐패시터 제조 공정에 관한 것이다.

DRAM을 비롯한 반도체 장치의 고집적화에 따라 반도체 장치의 리프레시(refresh) 특성 등의 동작 특성이 큰 문제로 부각되었으며, 이를 해결하는 하나의 방안으로서 캐패시터의 하부 전극인 전하저장 전극의 표면적을 증가시키는 기술에 대한 많은 연구·개발이 진행되어 왔다. 그러나, 역시 고집적화에 따른 공정 마진의 확보를 위해서 전하저장 전극의 표면적을 증가시키는데는 한계가 있다.

이러한 한계를 고려하여, Ta<sub>2</sub>O<sub>5</sub> 등의 고유전체를 사용하는 캐패시터에 대한 관심이 증대되고 있는데, 이는 캐패시터의 정전용량이 유전율(ε)에 비례하는 원리를 적용한 것이다.

일반적으로, Ta<sub>2</sub>O<sub>5</sub> 캐패시터는 폴리실리콘 하부 전극 상에 유전체로서 Ta<sub>2</sub>O<sub>5</sub>막을 증착하고, TiN막 또는 TiN/폴리실리콘막 구조의 상부 전극을 사용한다.

통상적으로, 폴리실리콘막 증착후, 후속 산소 분위기에서의 열처리시 폴리실리콘 하부 전극과 Ta<sub>2</sub>O<sub>5</sub>막의 경계면에서 산화막이 형성되는 것을 억제하기 위하여, RTN(Rapid Thermal Nitrification) 처리를 실시하게 된다.

그러나, 이러한 RTN 처리시 온도를 800°C 이상으로 올려주어야 하므로 하부에 형성된 접합 영역(junction region)에서 확산이 일어나 접합 깊이에 변화를 가져오는 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 저온 공정(150°C ~ 500°C)을 통해 하부 전극과 Ta<sub>2</sub>O<sub>5</sub> 유전체막의 경계면에 산화방지막을 형성할

수 있는 고유전체 캐패시터 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

본 발명으로부터 제공되는 특징적인 반도체 장치의 고유전체 캐패시터 제조방법은 소정의 하부층 상부에 하부 전극 형성을 위한 전도막을 형성하는 제1 단계; 150°C 내지 500°C의 온도에서 질소를 포함하는 가스를 사용하여 상기 전도막의 표면을 플라즈마 처리하는 제2 단계; 및 상기 전도막 상부에 유전체로서  $Ta_2O_5$ 막을 형성하는 제3 단계를 포함하여 이루어진다.

이하, 본 발명을 상술한다.

우선, 소정의 하부층 공정을 마친 기판 상에 캐패시터의 하부 전극 형성을 위한 폴리실리콘막을 증착한다. 이때, 폴리실리콘막의 전도성 확보를 위해 인-시츄(in-situ) 또는 이온주입 방식의 전도성 불순물 도핑을 실시한다.

계속하여, 150°C ~ 500°C의 온도를 유지하면서  $NH_3$  가스 또는  $N_2$  가스에 플라즈마를 여기시켜 폴리실리콘 막 표면을 질화시킨다.

여기서, 상기 플라즈마 처리시 압력은 10mtorr ~ 9torr 범위로 조절하며,  $NH_3$  가스 또는  $N_2$  가스의 유량을 1sNm ~ 5sNm로 하고, 100W ~ 500W의 고주파(RF) 전원을 사용하여 0.5분 ~ 5분간 실시한다. 또한, RF 전극과 기판과의 거리를 0.5cm ~ 5cm로 조절하며, RF 전원 인가시 기판을 점지로 처리하여 플라즈마에 의한 기판 손상을 줄일 수 있으며, RF 플라즈마 소오스 이외에 원격 ECR 플라즈마 소오스를 사용할 수 있다.

다음으로, 그 표면이 질화된 폴리실리콘막 상부에 유전체막인  $Ta_2O_5$ 막을 소정 두께로 형성한다. 이때,  $Ta_2O_5$ 막의 형성은 다음과 같은 통상적인 방법을 사용할 수 있다. 즉,  $Ta_2O_5$ 막을 증착하고, 300°C ~ 450°C 범위의 온도에서  $O_2$  플라즈마 또는  $N_2O$  플라즈마 처리를 실시하여  $Ta_2O_5$  내의 결함을 제거한다. 계속하여, 800°C 이상의 고온에서  $O_2$  또는  $N_2O$  가스 분위기에서 열처리를 실시하여  $Ta_2O_5$ 막의 결정화를 이룬다.

이후, 캐패시터의 상부 전극 형성 등의 후속 공정을 진행한다.

아래의 표 1은 동일한 증착 조건하에서 각각 RTN 처리 없이 증착한 경우(A), RTN 처리한 경우(B) 및  $N_2$  가스를 사용한 플라즈마 처리한 경우(C), Si 기판상에 증착되는  $Ta_2O_5$ 막의 두께(다시 말해,  $Ta_2O_5$ 막 및 형성된 산화막의 두께)를 측정한 실험 데이터를 나타낸 것이다.

[표 1]

기판 처리 상태	A	B	C
$Ta_2O_5$ 막의 두께(Å)	137	123	129

상기한 표 1에 도시된 바와 같이 RTN 처리한 경우(B)와  $N_2$  가스를 사용한 플라즈마 처리한 경우(C)를 비교하면 6Å 정도의  $Ta_2O_5$ 막 증착 두께 차이는 있지만, 즉 산화막 억제 효과가 RTN 처리시보다는 다소 떨어지지만, RTN 처리를 실시하지 않은 경우(A)에 비해서는 월등한 산화막 형성 억제 효과가 있다.

상기한 일실시예에서는 폴리실리콘막을 하부 전극으로 사용하는 단순 스택형 캐패시터를 일례로 하여 설명하였으나, 본 발명은 실린더형, 핀형, 반구형 폴리실리콘 캐패시터 등 캐패시터의 하부 전극의 형상 및 재질에 관계없이 적용할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 발명의 효과

이상에서와 같이 본 발명은 고유전체 캐패시터의 유전체막인  $Ta_2O_5$ 막 형성전, 하부 전극 표면에 상대적으로 저온(150°C ~ 500°C)에서  $NH_3$  또는  $N_2$  플라즈마 처리함으로써 고온(800°C 이상)의 열처리에 따른 접합 깊이의 변화를 감소시킬 수 있으며, 이로 인하여 반도체 장치의 신뢰성 향상을 기대할 수 있다.

### (57) 청구의 범위

#### 청구항 1

소정의 하부층 상부에 하부 전극 형성을 위한 전도막을 형성하는 제1 단계;

150°C 내지 500°C의 온도에서 질소를 포함하는 가스를 사용하여 상기 전도막의 표면을 플라즈마 처리하는 제2 단계; 및

상기 전도막 상부에 유전체로서  $Ta_2O_5$ 막을 형성하는 제3 단계

를 포함하여 이루어진 반도체 장치의 고유전체 캐패시터 제조방법.

#### 청구항 2

제 1 항에 있어서,  
상기 질소를 포함하는 가스가  
 $\text{NH}_3$  가스 또는  $\text{N}_2$  가스인 반도체 장치의 고유전체 캐퍼시터 제조방법.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,  
상기 전도막이  
폴리실리콘막을 포함하여 이루어진 반도체 장치의 고유전체 캐퍼시터 제조방법.

#### 청구항 4

제 1 항 또는 제 2 항에 있어서,  
상기 제2 단계가  
10mtorr 내지 9torr의 압력 및 100W 내지 500W의 고주파(RF) 전원을 사용하여 수행되는 반도체 장치의 고유전체 캐퍼시터 제조방법.

#### 청구항 5

제 2 항에 있어서,  
상기 제2 단계에서  
사용되는 상기  $\text{NH}_3$  가스 또는  $\text{N}_2$  가스의 유량이 1s1m 내지 5s1m인 반도체 장치의 고유전체 캐퍼시터 제조방법.

#### 청구항 6

제 1 항 또는 제 2 항에 있어서,  
상기 제2 단계가  
0.5분 내지 5분간 수행되는 반도체 장치의 고유전체 캐퍼시터 제조방법.

#### 청구항 7

제 4 항에 있어서,  
상기 제2 단계에서  
상기 고주파 전원 인가시 기판을 접지로 처리하는 반도체 장치의 고유전체 캐퍼시터 제조방법.

#### 청구항 8

제 1 항 또는 제 2 항에 있어서,  
상기 제3 단계 수행후  
상기 전도막 상부에 상기  $\text{Ta}_2\text{O}_5$ 막을 증착하는 제4 단계와,  
열처리를 실시하여 상기  $\text{Ta}_2\text{O}_5$ 막을 결정화하는 제5 단계를 더 포함하여 이루어진 반도체 장치의 고유전체 캐퍼시터 제조방법.

#### 청구항 9

제 8 항에 있어서,  
상기 제4 단계 및 제5 단계가  
인-시츄 방식으로 수행되는 반도체 장치의 고유전체 캐퍼시터 제조방법.